|  |  |
| --- | --- |
| Sprawozdanie z układów logicznych |  |
| Ćwiczenie nr: 1 |
| Temat ćwiczenia: Ćwiczenie wprowadzające w problematykę laboratorium. |
| 1. Imię i nazwisko – student 1: |
| 2. Imię i nazwisko – student 2: |
| Grupa laboratoryjna nr (u prowadzącego): 8 | Dzień tygodnia:2 wtorek |
| Płyta montażowa nr (z tyłu zadajnika):3 | Godziny zajęć (od-do):4 1315 – 1500 |

Krótki opis funkcjonalności:

Układ 74194 jest 4-bitowym dwukierunkowym uniwersalnym rejestrem przesuwającym. Ma on 4 podstawowe tryby pracy, które są determinowane poprzez sygnały na odpowiednich wejściach:

1. Przenoszenie równoległe, gdy S0 i S1 jest równe 1, dane z wejść A,B,C,D są przenoszone na odpowiadające im wyjścia QA, QB, QC, QD.
2. Przesuwanie w prawo – gdy S0 jest równe 1, a S1 jest równe 0, dane z wejścia SR są przekazywane do QA i z każdym tikiem zegara przesuwane synchronicznie w stronę QD. Wejścia A,B,C,D są wtedy zablokowane.
3. Przesuwanie w lewo, gdy S0 jest równe 0, a S1 jest równe 1. Analogicznie do przesuwania w prawo, wejścia są zablokowane, przesyłamy bit z SL w lewo, zaczynając od QD w stronę QA.
4. Blokada zegara – gdy S0 I S1 są równe 0, działanie układu zostaje zablokowane.

Układ 74194 ma następujące wejścia/wyjścia:

S0 i S1 – są to wejścia określające działanie rejestru. Dla wartości odpowiednio 1 i 0, bity narastają w prawo, natomiast dla 0 i 1 w lewo. Wartość 0 0 blokuje zegar, 1 1 natomiast powoduje wpis równoległy.

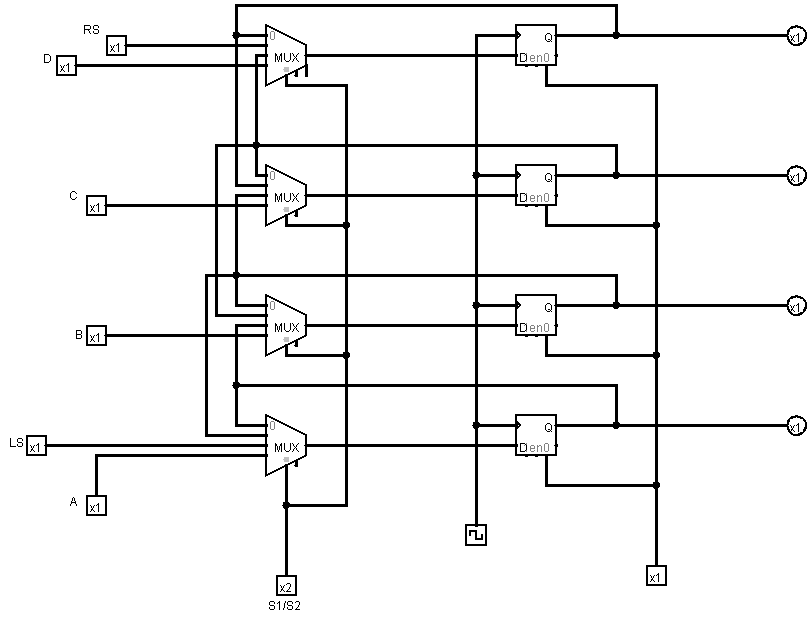
CLK – wejście zegarowe, wszelkie zmiany są dokonywane przy narastającym zboczu na tym wejściu ( zmiana sygnału z 0 na 1 )

CLR – jest to asynchroniczne wejście zerowania (reset), gdy na wejściu sygnał jest równy 1, to na szystkich wyjściach QA – QD wymuszony jest sygnał 0.

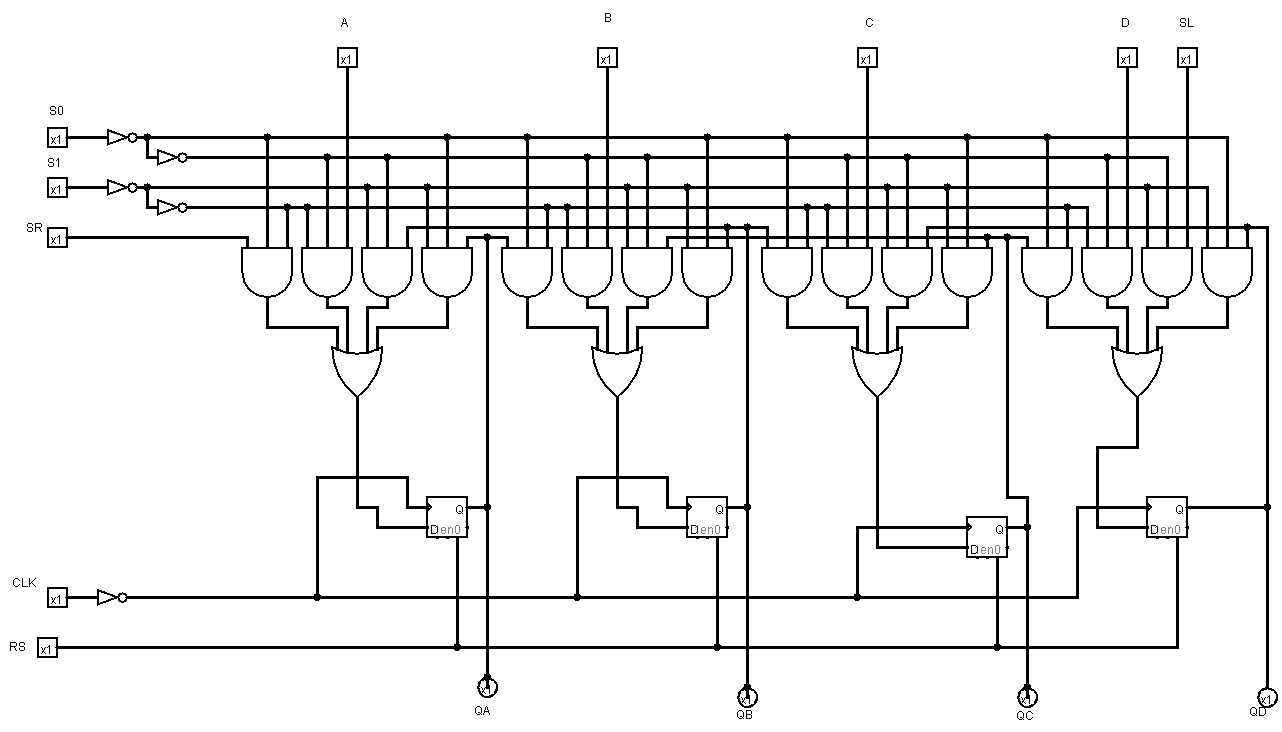
SR i SL – są to wejścia danych szeregowych, SR przy przesuwaniu w prawo, SL przy przesuwaniu w lewo.

A, B, C, D – są to wejścia danych równoległe

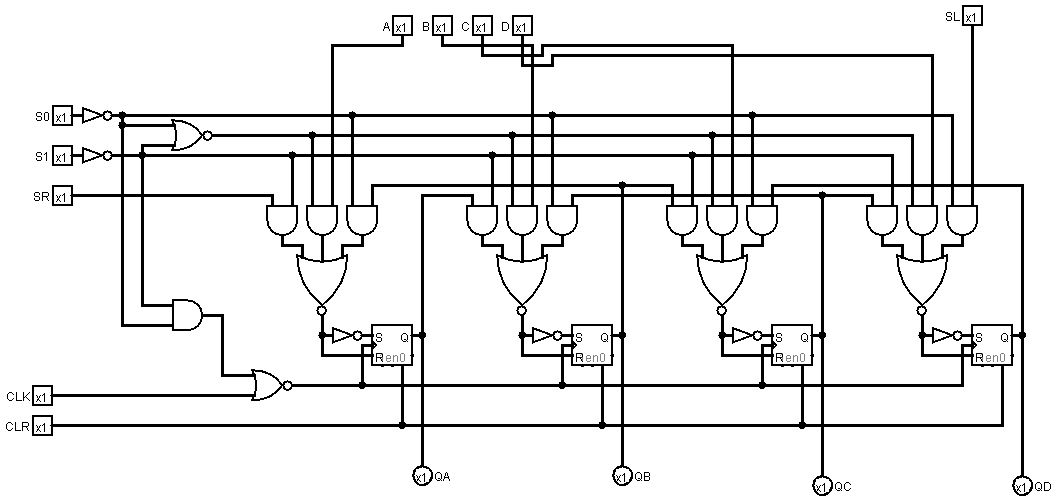
QA, QB, QC QD – wyjścia danych równoległe



Schemat układu 74194 z użyciem multiplekserów

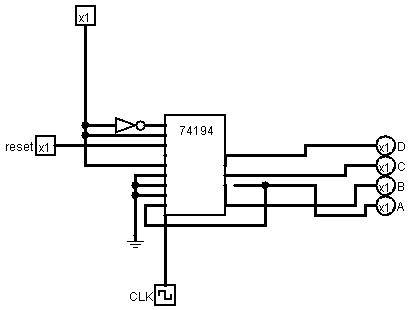


Schemat układu 74194 używający bezpośrednio bramek logicznych i przerzutników D

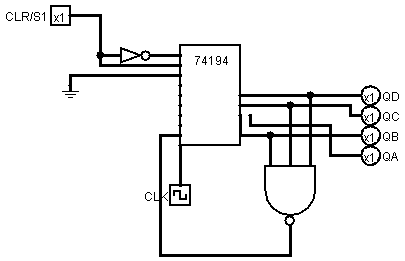
Schemat układu 74194 używający przerzutników S-R (na jego podstawie wykonywałem kolejne układy)

Działanie poszczególnych elementów układu 74194:

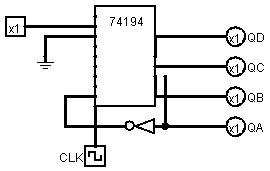
1. Przerzutniki typu D – bezpośrednio z nich wychodzą wyjścia układu QA-QD. Są one podłączone do sygnału CLR, który je wszystkie zeruje, aby móc ponowić działanie układu. Zmiany w nich zachodzą za sprawą narastającego zbocza zegarku CLK. W zależności od trybu, albo dostają bezpośredni sygnał z multiplekserów, dzięki czemu zmienia się ich wartość, albo idąc od lewej do prawej, bądź prawej do lewej – zmieniają swoją wartość przekazując ją na wyjście i do następnego multipleksera, który się wtedy aktywuje i przepuszcza sygnał do kolejnego przerzutnika.
2. Multipleksery – Są ze sobą połączone, dwa znajdujące się ekstremalnie z lewej, lub z prawej strony mają dodatkowe połączenie z SR i SL, których to sygnał rozpoczyna ich pracę.
3. Pozostałe elementy, sygnały i ich znaczenie opisałem wyżej.



Uproszczony schemat układu z podpunktu a) wykonany w Logisim



Uproszczony schemat układu z podpunktu b) wykonany w Logisim



Uproszczony schemat układu z podpunktu c) wykonany w Logisim

Działanie układu A)

Wejścia:

D1 i S1, podłączone do tego samego źródła, mają domyślnie stan wysoki

CLR – jest zaprzeczeniem D1 i S1, czyli domyślnie stan niski

Reset (S0) – w przypadku gdy stan tego wejścia jest ustawiony na 1, układ się resetuje, tzn wartość wyjścia D jest ustawiona na 1 i układ rozpoczyna pracę od nowa.

CLK – jest to zegar, zmiany zachodzą przy spadku sygnału

Wejścia B, C i A są uziemione i mają stan 0

LIN (LS) – wejście to jest podłączone do wyjścia A, które jest ostatnim wyjściem w sekwencji otrzymującym wartość 1, tzn że gdy LIN ma na wejściu 1, to układ resetuje się, podobnie jak S0

RIN (RS) – zewnętrznie niepodłączony, nieokreślony

Wyjścia:

A, B, C i D

Sposób działania:

Układ ten ma 2 tryby pracy podyktowane wartością Reset.

Gdy Reset = 1, to układ pracuje w trybie równoległym, gdyż S1 oraz S2 = 1. Wejścia A, B i C są uziemione, a D ma domyślnie stan wysoki, tak więc z perspektywy użytkownika wyłączane są wszystkie wyjścia, a sygnał 1 znajduje sie wtedy tylko na wyjściu D.

Drugi tryb, dla reset = 0, to tryb przesuwania w lewo (S0 = 0, S1 = 1). Który sam się “resetuje” za sprawą wejścia LIN podłączonego do QA. Opisuje go poniższa tabela:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Zegar CLK (cykl) | QA | QB | QC | QD | LIN |
| 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 | 0 |
| 3 | 1 | 0 | 0 | 0 | 1 |
| 4 (0) | 0 | 0 | 0 | 1 | 0 |

Działanie układu b)

Wejścia:

CLR i S1 – pochodzą z tego samego źródła, są wzajemną negacją, domyślnie S1 ma wartość 1

S0 – stan niski

SL ( LIN ) – jest to zaprzeczenie iloczynu logicznego wyjść QB, QC i QD

CLK – zegar, zmiany układu zachodzą przy spadku tego sygnału

RIN i wejścia A, B, C oraz D – niepodłączone, nieokreślone

Sposób działania:

Wejścia S0 i S1 mają odpowiednio wartości 0 i 1, a więc układ działa w trybie przesuwania w lewo, wejścia A-D i RIN nie są w tym przypadku brane pod uwagę. Aby wyzerować układ wystarczy jednorazowo przełączyć sygnał CLR na wysoki. Pracę prezentuje poniższa tabela, układ po uzyskaniu na 3 wyjściach wartości 1 (3 cykl) zaczyna się zapętlać, a jedna pętla trwa 4 cykle zegara:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Zegar CLK (cykl) | QA | QB | QC | QD | LIN |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 1 | 1 |
| 3 | 0 | 1 | 1 | 1 | 0 |
| 4 | 1 | 1 | 1 | 0 | 1 |
| 5 | 1 | 1 | 0 | 1 | 1 |
| 6 | 1 | 0 | 1 | 1 | 1 |
| 7 (0) | 0 | 1 | 1 | 1 | 0 |

Działanie układu c)

Wejścia:

S1 – sygnał 1

S0 – sygnał 0, uziemiony

SL (LIN) – negacja wyjścia QA

CLK – zegar

CLR, SR (RIN), A, B, C, D – nieokreślone

Wyjścia:

QA, QB, QC, QD

W wyniku ustawienia sygnałów wejść S0 na 0 i S1 na 1, układ będzie pracował w trybie przesuwania w lewo. Wejścia A-D i RIN w takim przypadku są zablokowane. Po zresetowaniu symulacji w Logisim, możemy zaobserwować następujące przejścia, z których wynika że nasz układ zapętla się w 8 powtorzeniach zegara:

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Zegar CLK (cykl) | QA | QB | QC | QD | LIN |
| 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 2 | 0 | 0 | 1 | 1 | 1 |
| 3 | 0 | 1 | 1 | 1 | 1 |
| 4 | 1 | 1 | 1 | 1 | 0 |
| 5 | 1 | 1 | 1 | 0 | 0 |
| 6 | 1 | 1 | 0 | 0 | 0 |
| 7 | 1 | 0 | 0 | 0 | 0 |
| 8 | 0 | 0 | 0 | 0 | 1 |

Wnioski:

Po przeanalizowaniu układu 74194 możemy łatwo zauważyć, że zastosowania tego układu można mnożyć. Szczególnie jeśli uwzględnimy opisane w podpunktach a) b) i c) wariacje. Ciekawym zastosowaniem może być na przykład użycie tego układu w połączeniu z diodami led, aby kolejno świeciły, np w celu stworzenia ciekawej zabawki dla dziecka. Patrząc dalej, przychodzi mi do głowy myśl, że układ ten może także służyć do kontroli urządzeń, np poprzez cykliczne przełączanie poszczególnych procesów.

# Wnioski umieścić na odwrocie ostatniej kartki z rysunkami.

1. Wyniki, potwierdzenie wykonania ćwiczenia wraz ze schematami realizowanych układów umieszczamy na ostatniej stronie

2 Np. poniedziałek, środa itd.

3 Numery grup lab. (niezmienne w trakcie semestru) oraz numery płyt montażowych są zazwyczaj identyczne. Będą się różnić w sytuacjach, gdy ćwiczenie jest wykonywane na innym stanowisku niż zwykle bądź udostępniono płytę dodatkową.

4 Np. 7.30-9.00